

## 高速高精度比较器设计

孙宇凯 王尧 王梅梅

中华通信系统有限责任公司河北分公司, 河北 石家庄 050081

**[摘要]**随着通讯、视频、声纳等技术发展的越来越快,超高速模数转换器(ADC)的设计也日益重要。全并行结构(Full Flash) ADC 作为首选结构,被应用于超高速中精度 ADC。比较器作为 Flash ADC 中的重要组成部分,其速度、功耗和噪声决定了 ADC 的速度、精度和功耗。文中基于预放大再生锁存理论,基于 65nm 工艺,设计了一种工作在 1GHz 时钟周期下的超高速 CMOS 比较器电路,采用电荷存储失调校准技术使得失调电压  $1\delta$  小于 5.7mV,并采用可再生 latch 加速比较器输出电压翻转,可以在一个 1GHz 时钟周期内完成比较,分辨率在 0.3mV 左右。

**[关键词]**Flash; ADC; 比较器; 预放大再生锁存

DOI: 10.33142/sca.v5i1.5565

中图分类号: TN47

文献标识码: A

### Design of High Speed and High Precision Comparator

SUN Yukai, WANG Yao, WANG Meimei

Hebei Branch of China Communications System Co., Ltd., Shijiazhuang, Hebei, 050081, China

**Abstract:** With the rapid development of communication, video, sonar and other technologies, the design of ultra-high speed analog-to-digital converter (ADC) is becoming more and more important. As the preferred structure, full Flash ADC is applied to ultra-high speed and medium precision ADC. As an important part of Flash ADC, the speed, power consumption and noise of comparator determine the speed, accuracy and power consumption of ADC. Based on the theory of pre amplification regenerative latch and 65nm process, an ultra-high speed CMOS comparator circuit operating at 1GHz clock cycle is designed. The offset voltage is  $1\delta$  less than 5.7mV, and the renewable latch is used to accelerate the output voltage reversal of the comparator. The comparison can be completed in one 1GHz clock cycle, and the resolution is about 0.3mV.

**Keywords:** Flash; ADC; comparator; pre amplification regeneration latch

#### 引言

作为模拟电路和数字电路之间的桥梁,模数转换器(Analog-to-digital converters, 简称 ADC),在众多电子产品占据重要地位。随着通讯、视频、声纳等技术发展的越来越快,超高速 ADC 的设计也显的越来越重要。全并行结构(Full Flash) ADC 作为首选结构,被应用于超高速中精度 ADC。比较器作为 Flash ADC 中的重要组成部分,其速度、功耗和噪声决定了 ADC 的速度、精度和功耗。一般采用锁存比较器结构来满足超高速比较器的速度要求,但是通常的 CMOS 锁存比较器的失调电压很大,使得比较器的精度受到了严重的影响,限制了 CMOS 锁存比较器在高速高精度 ADC 中的应用。因此,当前的高速比较器一般都采用预放大再生锁存比较器<sup>[1]</sup>。

文中基于预放大再生锁存理论,基于 65nm 工艺,设计了一种可被应用于超高速 Flash ADC 的超高速 CMOS 比较器电路,采用电荷存储失调校准技术降低失调电压,并采用可再生 latch 加速比较器输出电压翻转,采用 Cadence 集成蒙特卡罗仿真设计晶体管尺寸。

#### 1 电荷存储比较器架构

比较器的速度和精度决定了 Flash ADC 的速度和精度,

所以 Flash ADC 设计的关键是比较器的设计。比较器一般可以分为开环比较器和可再生比较器。图 1 为开环比较器采用的差分开关电容结构,参考电平由电阻分压网络提供。图 1 中 SW0、SW1 和 SW2 为无交叠时钟被用作控制开关,其相位关系如图 2 所示。图 3 为开关电容比较器<sup>[2]</sup>电路结构图,在工作过程中,一个采样周期可分为两个部分进行。把 VP、VN 两端分开来看,前半周期中开启 SW1 后,控制  $V_{ref}$  电平对电容 C 充电;同时 SW2 也已经开启,从而使得放大器电路输入管短路。电容 C 另一个端点的电平为固定值  $V_C$ , 充电完成时由电容 C 中贮存的电荷量 Q 可表示为:

$$Q_P = V_{refp} - V_C \cdot C$$

$$Q_N = V_{refn} - V_C \cdot C$$

$$V_C = \frac{g_{m2}}{g_{m1} + g_{m2}} (V_S - V_{d3}) + V_{d3} \quad (1)$$

其中  $g_{m1}$  是第一个晶体管 M1 跨导,  $g_{m2}$  是第二个晶体管 M2 跨导,  $V_{d3}$  是晶体管 M3 漏端电压。

后半周期中,打开 SW0, 关闭 SW1 和 SW2, 使得预放大器恢复放大功能,完成对输入端信号的差分放大。由于贮存在电容中的电荷量 Q 保持不变,使得电容 C 两端的电压差也为定值,即放大器输入端信号跟随输入信号  $V_{in}$  的变化而变化。

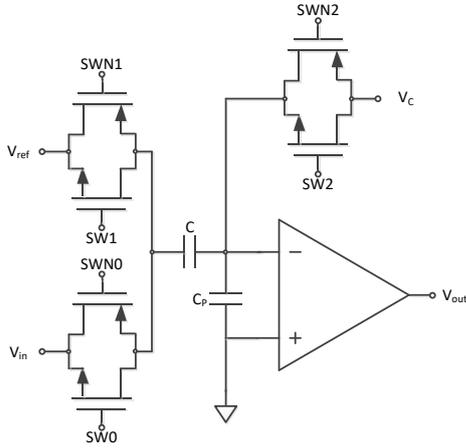


图1 开环比较器

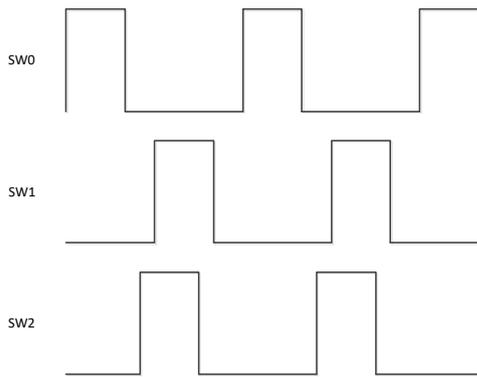


图2 时钟相位

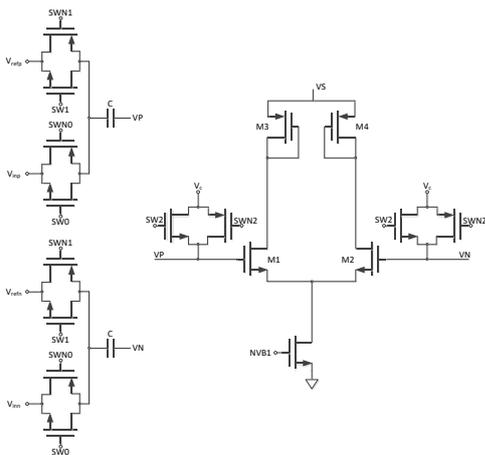


图3 开关电容比较器

因为寄生电容  $C_p$  的影响，最终的输出可以表示为：

$$V_{out} = A_v \cdot (V_{in_p} - V_{in_n} - V_{ref_p} - V_{ref_n}) \cdot \frac{C}{C + C_p} \quad (2)$$

$C_p$  的影响等效为减小了预放大器的增益，在设计过程中，通常把  $C$  设置为  $C_p$  的 4-5 倍。又考虑到带宽约束的影响，预放大器增益一般取 3-5。

## 2 可再生 latch 架构

图 4 为可再生比较器结构图。类似于触发器的可再生

比较器在两种模式下工作：比较器在第一种模式下接收输入信号，比较输出信号，并在第二种工作模式下锁定输出，采用快速反馈方法对预放大器的输出信号进行实时比较和比较。也就是说，当 CLK 很高时，它允许通过传输端口的通道，锁定存储设备的功能，信号可以输入到锁定节点，节点电压分别为  $V_P$  和  $V_N$ ；当 CLK 低到关闭传输端口时，锁可以开始工作并使用正反馈，以快速增加输出信号的比较结果。图 5 为简化后的小信号模型示意图。

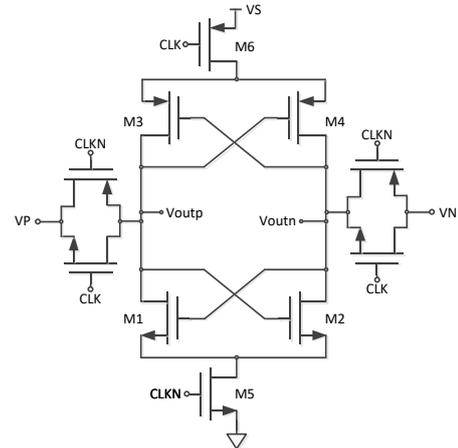


图4 可再生比较器

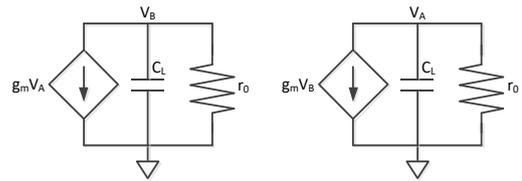


图5 锁存器小信号模型

输出指数的系数为正，随着时间的延长，锁定装置的输出将以特别快的速度达到数字逻辑级值。还可以通过增加跨度电导和减小放大器电容来提高锁定速度。当再生过程结束时，锁定装置的输出电压必须达到阈值，才能使数字电路发生翻转，而达到这个电压差所需时间为：

$$T_L = \frac{t}{A-1} \ln \left( \frac{V_{AB1}}{V_{AB0}} \right) \quad (3)$$

假如锁存器完成信号建立的所需的时间大于  $T_L$ ，那么电路就会处于亚稳态，使得比较器的判断结果可能出现错误。从式 (3) 中可以看到，可以通过减小小放大时间常数  $t$ 、增大放大器增益  $A$  或者多个锁存器级联起来都可以降低  $T_L$ 。图 6 为开环比较器和可再生比较器传输曲线。从图 6 中可以看到，开环比较器在信号刚开始建立的过程中速度比较快，后面信号变化速率逐渐下降；而可再生比较器虽然在新婚刚开始时建立比速度较慢，但因为其使用了正反馈结构，后面信号的建立过程变得非常迅速。因为开环比较器响应速度慢，而可再生比较器的失调电压又特别大，两者单独使用都不理想，如果把这两种比较器级联在一起使用，

不仅可以使得可再生比较器的失调电压减小，抑制锁存器 kickback 的影响，同时还可以使得比较器速度得到提高。

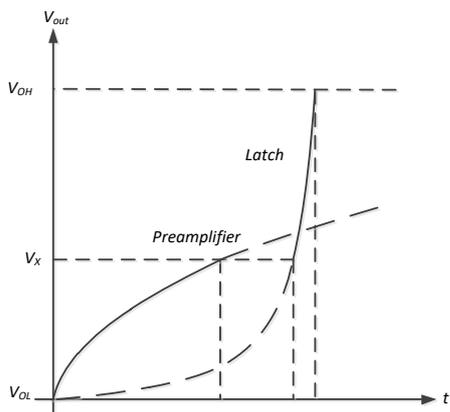


图6 开环比较器和可再生比较器传输曲线

### 3 系统级联与仿真

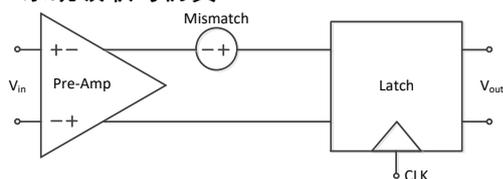


图7 比较器级联结构

放大器与反馈锁的串联是再生锁与预加强锁的比较。通过添加预放大器，与再生比较器相比，前置放大器降低了比较器输入的不协调电压，提高了比较器的分辨率<sup>[3]</sup>。图7显示了比较器级联结构图，其中预放大器是开关电容器结构的开路比较器环，这增加了输入信号之间的差异，然后恢复比较器可以快速增加预放大结果。由于比较器在高频模式下工作，因此设计的前置放大器增益低，带宽高。一级前置放大器能有效降低再生比较器相对于输入信号的失真电压和踢背对前一级的影响放大器。这种级联比较器是目前高速应用比较器的主要选择。分别优化前置放大器和锁定存储器，可有效提高比较器在各种应用中的工作性能。图8为比较器精度仿真结果。从图8可知，此比较器工作在1Ghz时分辨率在0.3mV左右。通过仿真确定比较器可以在一个时钟周期内完成比较。

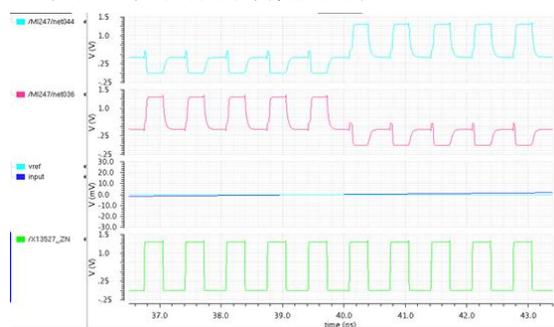


图8 比较器精度仿真结果

图9为失调电压仿真结果。从图9中可以看到 $1\sigma$ 小于5.7mV。

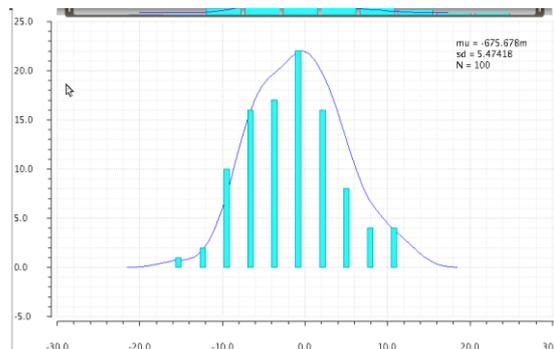


图9 失调电压仿真结果

表1为文中设计的比较器与国内外设计的比较器仿真结果比较。从表1中可以看到文中设计的比较器优于目前国内外设计的比较器。

表1 与国内外比较器仿真结果比较

文章名称	工作速率/GHz	分辨率/mV	失调电压/mV
[4]	0.5	2.6	8
[5]	1	-	10
[6]	0.5	-	3.8
文中	1	0.3	5.7

### 4 结束语

文中设计一种可被应用于超高速Flash A/D转换器的超高速CMOS比较器电路。采用Cadence集成蒙特卡罗仿真设计晶体管尺寸，在1Ghz工作速率下，分辨率在0.3mV左右，失调电压 $1\sigma$ 小于5.7mV，无额外失调校准电路，并可在一个时钟周期内完成比较，该比较器设计仿真结果优于目前国内外设计。

#### [参考文献]

- [1]韩宝妮. 基于0.18um CMOS工艺的超高速比较器的设计[D]. 陕西:西安电子科技大学, 2010.
- [2]冯军, 李智群. Allen P E, Holberg D R. CMOS 模拟集成电路设计[M]. 译. 2版. 北京: 电子工业出版社, 2011.
- [3]Taghizadeh A, Kouzehkanani Z D, Sobhi J. A new high-speed low-power and low offsetdynamic comparator with a current-mode offset compensation technique[J]. AEU-International Journal of Electronics and Communications, 2017(81):5.
- [4]游恒果. 高速低功耗比较器设计[D]. 四川: 电子科技大学, 2011.
- [5]B. Goll, M. Spinola Durante, H. Zimmermann. A measurement technique to obtain the delay time of a comparator in 120nm CMOS[C]. IEEE International Conference, 2006(6): 22-24.

[6]Masaya Miyahara, Akira Matsuzawa. A low-offset latched comparator using zero-static power dynamic offset cancellation technique[C].IEEE Asian Solid-State Circuits Conference,2009(11):16-18.

作者简介：孙宇凯（1986-）男，工程师，毕业于河北大学，所学专业为光学工程，目前就职于中华通信系统有

限责任公司河北分公司，主要研究方向为集成电路测试；王尧（1990.10-）男，工程师，毕业于东南大学，所学专业为集成电路工程，目前就职于中国电科网络通信研究院；王梅梅（1985-）女，工程师，毕业于石家庄铁道大学四方学院，所学专业交通工程，目前就职于中铁十四局集团房桥有限公司。